

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-123464

(43)Date of publication of application : 25.04.2003

(51)Int.Cl.

G11C 11/14
G11C 11/15
H01L 27/105
H01L 43/08

(21)Application number : 2001-320637

(71)Applicant : CANON INC

(22)Date of filing : 18.10.2001

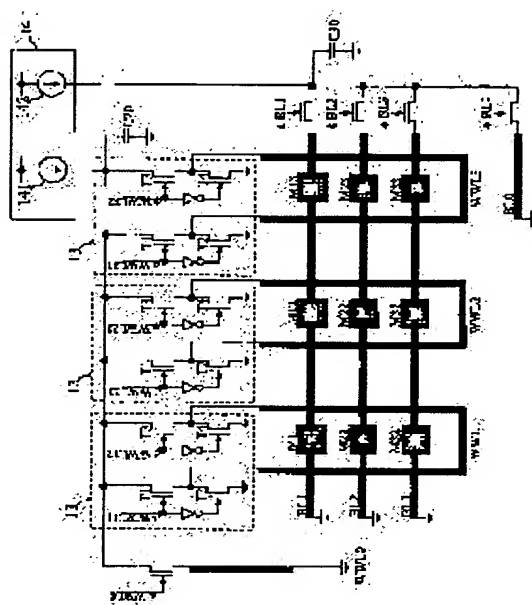
(72)Inventor : SHIRAI EIJI

(54) MAGNETIC MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress an overshoot occurring to a current flowing through write lines and bit lines at the time of writing data.

SOLUTION: At the time of writing data, in the case of consecutively switching switch elements connected with write lines WWL1-WWL3, and in the case of consecutively switching the switch elements connected with bit lines BL1-BL3, each switch element is made to overlap for a period before and after it is switched ON. Further, any of the switch elements connected with write lines WWL1-WWL3 or the switch element connected with a dummy wiring WWL0 is made to be always turned on, and/or any of the switch elements connected with the bit lines BL1-BL3 or the switch element connected with a dummy wiring BL0 is made to be always turned on, and in the period before and after switching any switch element, each switch element is made to overlap for the period before and after the switch is switched ON.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto,

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-123464
(P2003-123464A)

(43) 公開日 平成15年4月25日 (2003. 4. 25)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 11/14

G 1 1 C 11/14

Z 5 F 0 8 3

A

11/15

11/15

H 0 1 L 27/105

H 0 1 L 43/08

Z

43/08

27/10

4 4 7

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号

特願2001-320637(P2001-320637)

(22) 出願日

平成13年10月18日 (2001. 10. 18)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 白井 英二

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

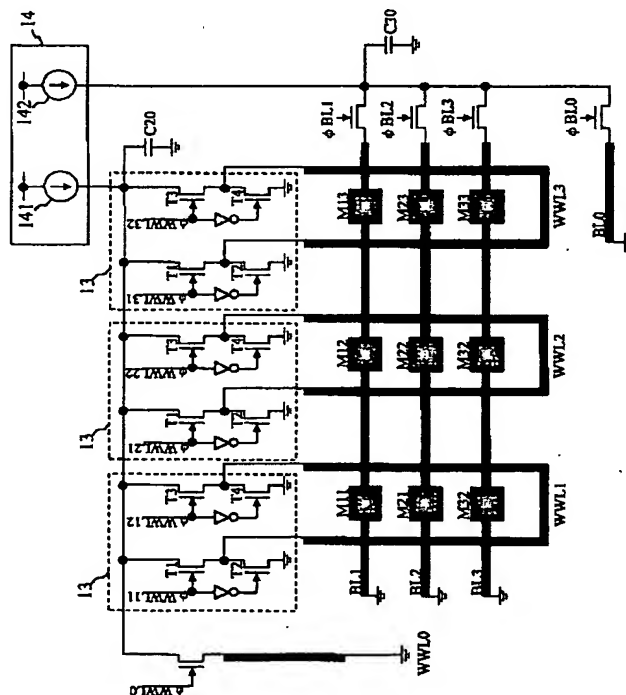
Fターム(参考) 5F083 FZ10 GA06 GA11 GA15 KA00

(54) 【発明の名称】 磁気メモリ装置

(57) 【要約】

【課題】 データ書き込み時に書き込み線及びビット線に流れる電流に発生するオーバーシュートを抑圧する。

【解決手段】 データ書き込み時に、書き込み線WWL 1~WWL 3に接続されたスイッチ素子を連続的に切り替える場合や、ビット線BL 1~BL 3に接続されたスイッチ素子を連続的に切り替える場合、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせる。更に、書き込み線WWL 1~WWL 3に接続されたスイッチ素子またはダミー配線WWL 0に接続されたスイッチ素子のいずれかが常にオンされ、及び/または、ビット線BL 1~BL 3に接続されたスイッチ素子またはダミー配線BL 0に接続されたスイッチ素子のいずれかが常にオンされていることとし、スイッチ素子の切り替え前後において、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせる。



【特許請求の範囲】

【請求項 1】 磁気抵抗素子を具備し、マトリックス状に配置された複数のメモリセルと、前記メモリセルに接続された複数の書き込み線と、前記複数の書き込み線と交差して配置され、前記メモリセルに接続された複数のビット線と、前記複数の書き込み線に電流を供給するための第 1 のスイッチ素子の群と、前記複数のビット線に電流を供給するための第 2 のスイッチの群とを有し、前記磁気抵抗素子へのデータ書き込み時に、該当する書き込み線及びビット線が接続された前記第 1 及び第 2 のスイッチ素子をそれぞれオンにして該書き込み線及び該ビット線に電流を流し、該電流によりそれぞれ誘起された磁界を前記磁気抵抗素子に印加する磁気メモリ装置において、

複数の前記磁気抵抗素子に順次データを書き込む時に、前記複数の書き込み線に接続された前記第 1 のスイッチ素子或いは、前記複数のビット線に接続された前記第 2 のスイッチ素子を順次切り替える場合、前記第 1 或いは第 2 のスイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることを特徴とする磁気メモリ装置。

【請求項 2】 複数の前記磁気抵抗素子へのデータ書き込み時に、前記複数のビット線に接続された前記第 2 のスイッチ素子を順次切り替える場合、前記第 2 のスイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることを特徴とする請求項 1 に記載の磁気メモリ装置。

【請求項 3】 前記複数の書き込み線及び前記複数のビット線は、定電流源に接続されていることを特徴とする請求項 1 または 2 に記載の磁気メモリ装置。

【請求項 4】 前記第 1 のスイッチ素子を介して前記書き込み線に電流を供給する電源回路に接続された第 3 のスイッチ素子と、前記第 3 のスイッチ素子に接続された第 1 のダミー配線を有し、前記書き込み線に接続された前記第 1 のスイッチ素子と前記第 1 のダミー配線に接続された前記第 3 のスイッチ素子とを順次切り替える場合、前記第 1 及び第 3 のスイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の磁気メモリ装置。

【請求項 5】 前記第 1 のスイッチ素子または前記第 3 のスイッチ素子の少なくともいずれかが常にオンされていることを特徴とする請求項 4 に記載の磁気メモリ装置。

【請求項 6】 前記第 2 のスイッチ素子を介して前記ビット線に電流を供給する電源回路に接続された第 4 のスイッチ素子と、前記第 4 のスイッチ素子に接続された第 2 のダミー配線を有し、前記ビット線に接続された前記第 2 のスイッチ素子と前記第 2 のダミー配線に接続された前記第 3 のスイッチ素

子とを順次切り替える場合、前記第 2 及び第 3 のスイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の磁気メモリ装置。

【請求項 7】 前記第 2 のスイッチ素子または前記第 4 のスイッチ素子の少なくともいずれかが常にオンされていることを特徴とする請求項 6 に記載の磁気メモリ装置。

【請求項 8】 前記書き込み線において双方向に前記第 1 のスイッチ素子を切り替えて電流を流す場合、前記第 1 のスイッチ素子の切り替え前後の期間と前記第 1 のダミー配線に接続された前記第 3 のスイッチ素子とがオンになる期間をオーバーラップさせることを特徴とする請求項 4 から 6 のいずれか 1 項に記載の磁気メモリ装置。

【請求項 9】 前記書き込み線及び前記ビット線に電流を供給する電源回路は同じ電源回路であることを特徴とする請求項 6 に記載の磁気メモリ装置。

【請求項 10】 前記書き込み線を、前記磁気抵抗素子の素子列を挟むように配置された配線の一端を互いに接続して構成し、前記書き込み線を複数の定電流源に接続し、該複数の定電流源により前記書き込み線に双方向に電流が流れるようになっていることを特徴とする、請求項 1 から 9 のいずれか 1 項に記載の磁気メモリ装置。

【請求項 11】 前記書き込み線を、前記磁気抵抗素子の素子列を挟むように配置された配線の一端を互いに接続して構成し、前記書き込み線を 1 つの定電流源に接続し、前記書き込み線に備えられたスイッチ素子を複数設け、該複数のスイッチ素子を切り替えることで前記書き込み線に双方向に電流が流れるようになっていることを特徴とする請求項 1 から 9 のいずれか 1 項に記載の磁気メモリ装置。

【請求項 12】 前記磁気抵抗素子へのデータ書き込み時に、該当する書き込み線に接続された複数の前記第 1 のスイッチ素子を順次切り替えて該書き込み線に双方向に電流を流し、該書き込み線に書き込み値に応じた向きに電流が流れている間に、該当するビット線に接続された前記第 2 のスイッチ素子を切り替えて該ビット線に電流を流すことを特徴とする請求項 11 に記載の磁気メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性の磁気メモリ装置に関し、特に、磁気抵抗素子を用いたメモリセルを有する磁気メモリ装置に関する。

【0002】

【従来の技術】 強磁性体などの磁性体において、その磁化の方向や磁化の有無などによってその電気抵抗が変化する磁気抵抗効果が知られており、そのときの電気抵抗値の変化率を磁気抵抗比（MR 比；Magneto-Resistance Ratio）という。磁気抵抗比が大きい材料としては、巨

大磁気抵抗 (GMR; Giant Magneto-Resistance) 材料や超巨大磁気抵抗 (CMR; Colossal Magneto-Resistance) 材料があり、これらは一般に、金属、合金、複合酸化物などである。例えば、Fe, Ni, Co, Gd, Tb及びこれらの合金や、 $\text{La}_x\text{Sr}_{1-x}\text{MnO}_3$, $\text{La}_x\text{Ca}_{1-x}\text{MnO}_3$ などの複合酸化物などの材料がある。また一般に、強磁性体は、外部から印加された磁場によってその強磁性体内に発生した磁化が外部磁場を取り除いた後にも残留する (これを残留磁化という)、という特性を有している。

【0003】そこで、磁気抵抗材料として強磁性体を用いてその強磁性体の残留磁化を利用すれば、磁化方向や磁化の有無により電気抵抗値を選択して情報を記憶する不揮発性メモリを構成することができる。このような不揮発性メモリは、磁気メモリ (MRAM (磁気ランダムアクセスメモリ); Magnetic Random Access Memory) と呼ばれている。

【0004】近年、開発が進められているMRAMの多くは、巨大磁気抵抗材料の強磁性体の残留磁化で情報を記憶しており、磁化方向の違いによって生じる電気抵抗値の変化を検出することにより、記憶した情報を読み出す方式を採用している。また、書き込み用の配線に電流を流して誘起される磁場により強磁性体メモリセルの磁化方向を変化させることで、メモリセルに情報を書き込み、また、その情報を書き換えることができる。

【0005】MRAMのメモリセルとしては、トンネル絶縁膜 (トンネル電流が流れる程度の厚さの電気絶縁膜) を2つの強磁性体層で挟んだ構造をもつトンネル磁気抵抗素子 (TMR; Tunnel Magneto-Resistance、あるいはMTJ; Magnetic Tunnel Junction) が、高い磁気抵抗変化率 (MR比) を備えており、もっとも実用化に近いデバイスとして期待されている。このようなメモリセルとして、従来、2つの面内磁化膜の間にトンネル絶縁膜を挟み込んだ構成のものが検討されていた。しかしながら、面内磁化膜を使用したメモリセルの場合、メモリセルの微小化に伴って、MR比が低下し、必要な書き込み電流が増加し、また、動作点 (メモリセルの磁気特性を示すヒステリシスループ) の移動が起こるなどの、解決すべき課題があることが分かっている。これに対し、特開平11-213650号公報においては、2枚の垂直磁化膜の間にトンネル絶縁膜である非磁性層を挟み込んだ構成のものが提案されている。垂直磁化膜を使用することにより、メモリセルを微小化した場合であっても、MR比の低下や書き込み電流の増加が抑えられ、また、ヒステリシスループにおけるシフトも抑えられ、優れた特性を有するメモリセルが得られるようになる。

【0006】図9は、MRAMのメモリセルアレイの構成の一例を示す回路図である。

【0007】1個のメモリセルは、可変抵抗として表現

された磁気抵抗素子 (メモリ素子) 11と、磁気抵抗素子11に一端が接続するトランジスタ12とを備えている。トランジスタ12は、典型的にはMOS (Metal-Oxide-Semiconductor) 電界効果トランジスタによって構成されており、その他端は接地されている。このようなメモリセルが複数個、2次元にマトリクス状に配置することにより、メモリセルアレイを構成している。ここで図示横方向の並びを行、縦方向の並びを列と呼ぶことにすると、図示したものでは、メモリセルアレイにおける3行×3列分の領域が示されている。各行ごとに行方向に延びるビット線BL1~BL3が設けられ、各列ごとに列方向に延びるワード線WL1~WL3が設けられている。各メモリセルにおいて、磁気抵抗素子11の一端は対応する行のビット線に接続し、トランジスタ12のゲートは対応する列のワード線に接続する。

【0008】図示破線で示すのは、各メモリセルへのデータの書き込みを行うための書き込み線WWL1~WWL3であり、この書き込み線は、列ごとに設けられている。T1~T4はスイッチ素子としてのトランジスタ、13は列ごとに書き込み線WWL1~WWL3に接続される書き込み回路である。書き込み線WWL1~WWL3は列の他端で折り返し、書き込み回路13を構成するトランジスタT1、T4またはT2、T3を介して電源回路14に接続される。トランジスタT1、T4がオンされている時には図示反時計回りに書き込み電流が流れ、トランジスタT2、T3がオンされている時には図示時計回りに書き込み電流が流れる。従って、書き込み回路13により、電源回路14からの電流を書き込み線に対して双方向に書き込み電流として流すことができる。

【0009】図10は、メモリセルの構成の一例を示す断面図である。図では、列方向に並ぶ2個のメモリセルが示されている。

【0010】半導体基板30上に素子分離領域31が形成されるとともに、トランジスタ12のドレイン領域32及びソース領域33が設けられ、ドレイン領域32及びソース領域33に挟まれた領域において、ゲート絶縁膜34を介して、トランジスタ12のゲート電極を兼ねるワード線35 (図9におけるワード線WL1~WL3に対応) が形成されている。図示した例では、2個のトランジスタ12がソース領域33を兼用する形態となっており、このようなトランジスタ12を覆うように、層間絶縁膜36、37及び38がこの順で設けられている。層間絶縁膜38は、特に薄く形成されている。ソース領域33は、プラグ39を介して、層間絶縁膜36上に形成された接地線40に接続し、ドレイン領域32は、プラグ41を介して、層間絶縁膜38上に形成された磁気抵抗素子11に下面に接続している。磁気抵抗素子11は、図示した例では、特開平11-213650号公報に記載されたような、2層の垂直磁化膜の間に非

磁性層であるトンネル絶縁膜を挟持した構成のものである。また、層間絶縁膜 38 の下には、層間絶縁膜 37 に彫り込まれるように、書き込み線 42（図 9 における書き込み線 WWL1～WWL3 に対応）が形成されている。隣接する磁気抵抗素子 11 間の領域を埋めるように層間絶縁膜 43 が形成されており、磁気抵抗素子 11 の上面は、層間絶縁膜 43 上に形成されて図示左右方向に延びるビット線 44（図 9 におけるビット線 BL1～BL3 に対応）に接続している。さらに、層間絶縁膜 43 やビット線 44 を覆うように、保護膜を兼ねる層間絶縁膜 45 が形成されている。

【0011】図 9 に示したメモリセルアレイにおけるメモリセルへのデータの書き込みは、データを書き込もうとするメモリセル（選択されたメモリセル）に書き込み線を通る書き込み電流による書き込み磁界とビット線を通るアシスト電流によるアシスト磁界との和磁界によって、選択されたメモリセルのみにデータが書き込まれるようにして行われる。例えば、メモリセルが属する行のビット線にアシスト電流を流して磁気抵抗素子の膜面に対して水平なアシスト磁界を発生させ、その後に書き込み線に、書き込み値（“Low（0）”または“High（1）”）に応じた極性の書き込み電流を流して磁気抵抗素子の膜面に対して垂直な書き込み磁界を発生させ書き込み磁界とアシスト磁界との和磁界によって、選択されたメモリセルのみにデータが書き込まれる。アシスト磁界は強磁性層の磁化方向反転に必要な書き込み磁界の大きさを低減するように働く磁界であり、書き込み磁界は強磁性層の磁化方向を決定する磁界である。メモリセルへの書き込み方法としては、アシスト磁界を発生させた後に、書き込み磁界を発生させることで書き込みを達成しても良く、書き込み磁界を先に発生させた後にアシスト磁界を発生させることで書き込みを達成しても良い。

【0012】また、選択された行のビット線にアシスト電流を流すために、各ビット線の一端には、電源回路 14 とそのビット線を接続するためのスイッチ素子としてのトランジスタ 15 が設けられ、他端には、その他端でビット線を接地するためのスイッチ素子としてのトランジスタ 16 が設けられている。トランジスタ 15、16 は、典型的には、MOS 電界効果トランジスタによって構成される。

【0013】このようなメモリセルアレイにおいて、各ビット線 BL1～BL3 の一端には、読み出し回路 20 が設けられている。読み出し回路 20 は、ワード線 WL1～WL3 によって選択された列のメモリセルからそのメモリセルに書き込まれたデータを読み出すものである。具体的には、トランジスタ 15、16 の全てをオフ状態とし、ワード線によって特定の列のトランジスタ 12 をオン状態とし、読み出し回路 20 側から対象とするメモリセルの磁気抵抗素子 11 の抵抗値を読み出し、そ

の結果に基づいて“0”及び“1”のいずれが記録されているかを判定する。この場合、磁気抵抗素子 11 の抵抗値の絶対値を測定するのではなく、たとえば読み出し回路 20 内に参照セルを設け、その参照セルと磁気抵抗素子 11 の抵抗との大きさを比較して“0”及び“1”のいずれであるかを判定する。参照セルには、磁気抵抗素子 11 において記録値が“0”のときの抵抗値と記録値が“1”であるときの抵抗値との中間となる抵抗値が設定されるようにする。そして、参照セルと磁気抵抗素子 11 の双方に所定電流を流し、そのときに参照セル及び磁気抵抗素子 11 の双方の両端に発生する電圧を検出し、両者の電圧を比較することによって、参照セルの抵抗値の方が大きいか、磁気抵抗素子 11 の抵抗値の方が大きいかを判定し、磁気抵抗素子 11 に記録されたデータを判別する。

【0014】

【発明が解決しようとする課題】しかしながら、上述した従来のメモリセルアレイでは、書き込み線及びビット線と電源回路 14 を接続させる全てのスイッチ素子がオフの状態では、電源回路 14 からの電流の流れ先がなくなるためにその電流は寄生容量 C10 へ充電される。また、本明細書でいうところの寄生容量 C10 を構成する要素としては、書き込み線が接続された電源回路の出力容量、書き込み線やビット線等の配線容量、スイッチ素子の寄生容量等である。スイッチ素子の寄生容量とは、スイッチ素子が例えば MOS 型トランジスタであれば拡散容量及びゲート端子とのオーバーラップ容量に該当する。

【0015】その結果、データ書き込み時に、書き込み線及びビット線に図 11 に示すような振幅 I のパルス電流を流すと、その瞬間に寄生容量 C10 へ充電されたエネルギー（電荷）が瞬時に放電されるため、その直後のパルス電流波形にはオーバーシュートが発生し、誤動作や書き込み不良等を生じる。

【0016】そこで本発明の目的は、データ書き込み時に書き込み線及びビット線に通る電流に発生するオーバーシュートを抑圧することができる磁気メモリ装置を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために本発明の磁気メモリ装置は、磁気抵抗素子を具備し、マトリックス状に配置された複数のメモリセルと、前記メモリセルに接続された複数の書き込み線と、前記複数の書き込み線と交差して配置され、前記メモリセルに接続された複数のビット線と、前記複数の書き込み線に電流を供給するための第 1 のスイッチ素子の群と、前記複数のビット線に電流を供給するための第 2 のスイッチの群とを有し、前記磁気抵抗素子へのデータ書き込み時に、該当する書き込み線及びビット線が接続された前記第 1 及び第 2 のスイッチ素子をそれぞれオンにして該書

き込み線及び該ビット線に電流を流し、該電流によりそれぞれ誘起された磁界を前記磁気抵抗素子に印加する磁気メモリ装置において、複数の前記磁気抵抗素子に順次データを書き込む時に、前記複数の書き込み線に接続された前記第1のスイッチ素子或いは、前記複数のビット線に接続された前記第2のスイッチ素子を順次切り替える場合、前記第1或いは第2のスイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることを特徴とするものである。

【0018】この構成によれば、複数の磁気抵抗素子に順次データを書き込み時に、書き込み線或いはビット線に電流を供給する第1或いは第2のスイッチ素子の全てがオフになり寄生容量に電荷が充電されることが回避されるため、書き込み線或いはビット線にオーバershootが抑圧された電流を流すことができる。

【0019】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。なお、以下の記載では、磁気抵抗素子の強磁性層が垂直磁化膜であるものとして説明するが、本発明は、これに限定されるものではなく、磁気抵抗素子の強磁性層が水平磁化膜であっても適用可能である。

【0020】（第1の実施の形態）図1は、本発明の実施の一形態の磁気メモリ装置の構成を示す図である。なお、図1に示した磁気メモリ装置は、図9の磁気メモリ装置とその基本構成は同様であり、データ書き込みに関連する部分を概略的に図示したものである。

【0021】図1において、M11～M33は各メモリセルに備えられている磁気抵抗素子、141は書き込み電流用の定電流源、142はアシスト電流用の定電流源、C20、C30は寄生容量（図9に図示されている寄生容量C10と同じ要因からなる寄生容量）、T1～T4はスイッチ素子としてのトランジスタ、13はトランジスタT1～T4を有する書き込み回路としての第1のスイッチ素子、 $\phi WWL11 \sim \phi WWL32$ は第1のスイッチ素子13の群におけるそれぞれのトランジスタT1～T4を制御して書き込み線WWL1～WWL3に書き込み電流を供給するためのスイッチ素子、 $\phi BL1 \sim \phi BL3$ は各ビット線BL1～BL3にアシスト電流を供給するための第2のスイッチ素子としてのスイッチ素子であり、本実施形態ではn型MOSトランジスタで構成している。なお、本実施形態では定電流源141及び142は同じ電源回路14内に構成されているが、電源回路を2つ以上設け、互いに異なる電源回路内に定電流源141、142をそれぞれ設けても良い。本実施形態のトランジスタT1、T2、T3及びT4はn型MOSトランジスタで構成されているが、本発明のトランジスタはこれに限定されず、例えばトランジスタ（T1、T3）がp型MOSトランジスタであって、トランジスタ（T2、T4）がn型MOSトランジスタであっ

ても良い。その場合は図1において、トランジスタT1及びT2を制御する $\phi WWL11$ をインバータ回路にせず、両スイッチに同じ入力信号が入力される回路構成にすればよい。また、トランジスタT1～T4及びスイッチ素子 $\phi BL1$ はトランジスタに限定されるものではなく、オン・オフの切り替え機能を有するスイッチであればよい。

【0022】本実施形態の磁気メモリ装置では、スイッチ素子 $\phi WWL11$ にHighのパルスが印加されることでトランジスタT1がオンされ、トランジスタT2はオフとなる。さらにスイッチ素子 $\phi WWL12$ にLowのパルスが印加されることでトランジスタT3がオフされ、トランジスタT4がオンとなり、書き込み線WWL1に図示反時計回りに書き込み電流が流れる。逆に、スイッチ素子 $\phi WWL11$ にLowのパルスが印加され、スイッチ素子 $\phi WWL12$ にHighのパルスが印加されるとトランジスタT2及びT3がオンされ、トランジスタT1及びT4はオフとなるので、書き込み線WWL1に図示時計回りに書き込み電流が流れる。

【0023】また、スイッチ素子 $\phi BL1$ がHighのパルスによりオンされると、ビット線BL1に図示左方向にアシスト電流が流れる。

【0024】例えば、磁気抵抗素子M11へのデータ書き込み時には、スイッチ素子 $\phi BL1$ をオンにしてビット線BL1にアシスト電流が流れている間に、書き込み線WWL1に書き込み電流が書き込み値に応じた向きに流す。また、本明細書においては双方向に書き込み電流を流す動作を1セットとしているが、書き込み値（“0”または“1”）に応じた極性の書き込み電流のみ片方向だけを流してもよい。

【0025】以下に、図1に示した磁気メモリ装置におけるデータ書き込み時の動作について図2のタイムチャートを参照して説明する。以下では、磁気抵抗素子M11に“High（1）”のデータを書き込み、続いて、磁気抵抗素子M22に“Low（0）”のデータを書き込むものとして説明する。なお、図2は、データ書き込み時に、書き込み磁界を先に発生させた後にアシスト磁界を発生させて書き込みを達成する動作例を示している。

【0026】最初に、磁気抵抗素子M11にデータを書き込むため、スイッチ素子 $\phi WWL11$ 、 $\phi WWL12$ の上述の動作によって書き込み線WWL1に書き込み電流を双方向に切り替えて流す。ここでは、磁気抵抗素子M11に“High（1）”のデータを書き込むため、スイッチ素子 $\phi WWL11$ 及びスイッチ $\phi WWL12$ によって書き込み線WWL1に図示時計回りに書き込み電流が流れる間に、スイッチ素子 $\phi BL1$ をオンにしてビット線BL1にアシスト電流を流すことで各電流によってもたらされた磁場によって磁気抵抗素子M11に書き込む。続いて、磁気抵抗素子M12にデータを書き込む

動作に移る。書き込み電流は双方向に常に切り替えて流れているので、書き込み値（“High（1）”または“Low（0）”）に応じた極性の書き込み電流が流れている間にアシスト電流を流す。ここでは、磁気抵抗素子M12に“Low（0）”のデータを書き込むため、スイッチ素子 $\phi WWL22$ にLowのパルスが、 $\phi WWL21$ にはHighのパルスが印加されることで書き込み線WWL2に図示反時計回りに書き込み電流が流れている間に、スイッチ素子 $\phi BL1$ をオンさせアシスト電流を流す。

【0027】しかしながら、従来の上記の動作では、時刻 $t2$ において複数の書き込み線のスイッチ素子を連続的に切り替える際に、電源回路14と書き込み線WWL1～WWL3を接続させるスイッチ素子の全てがオフ状態になる時間が存在するため、その時間に図1に図示の寄生容量C20に電荷が充電されてしまい、その電荷に起因して、図11に示したように書き込み電流の波形にオーバーシュートが発生する。

【0028】そこで、本実施形態においては、図1に示した磁気メモリ装置において、複数の磁気抵抗素子に連続的にデータを書き込むため複数の書き込み線のスイッチ素子を連続的に切り替える時に、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることで、電源回路14と書き込み線WWL1～WWL3を接続させるスイッチ素子の全てがオフ状態になり寄生容量C20に電荷が充電されることを回避することとしている。その結果、書き込み時に誤動作や書き込み不良等の原因とされた書き込み電流のオーバーシュートが抑圧されることとなる。

【0029】具体的には、スイッチ素子 $\phi WWL12$ からスイッチ素子 $\phi WWL21$ への連続的な切り替え時に、スイッチ素子 $\phi WWL12$ にHighのパルスを印加するタイミングを $t2$ 後にずらし、スイッチ素子 $\phi WWL21$ にHighのパルスを印加するタイミングを時刻 $t2$ 前にずらすことにより、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせている。

【0030】このように、複数の書き込み線のスイッチ素子を連続的に切り替える時に、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることにより、スイッチ素子 $\phi WWL11 \sim \phi WWL32$ の全てがオフ状態になり寄生容量C20に電荷が充電されることが回避されるため、書き込み時に書き込み電流に発生するオーバーシュートを図12に示すように抑圧できる。

【0031】なお、図2に示した例では、複数の書き込み線の切り替え前後のスイッチ素子それぞれがオンになる期間を両方ともずらしてオーバーラップ期間を設けているが、どちらか一方のみをずらしてオーバーラップ期間を設けても良い。また、本明細書においては書き込み

線に対して時計回りに流れる電流が“High（1）”としているが、それは適宜決まるものであり本明細書の構成に限定されない。例えば、図示時計回りに電流が流れた時に“Low（0）”を書き込む構成であっても良い。

【0032】（第2の実施の形態）上述した第1の実施形態では、データ書き込み時の動作が、複数の書き込み線の第1のスイッチ素子を順次切り替える時にその切り替え前後においてそれぞれの第1のスイッチ素子がオンになる切り替え前後の期間をオーバーラップさせる動作を含み、書き込み磁界を先に発生させた後にアシスト磁界を発生させる場合の動作について説明したが、本実施形態では、図3のタイムチャートに示すように、複数のビット線の第2のスイッチ素子を順次切り替える時にその切り替え前後においてそれぞれの第2のスイッチ素子がオンになる切り替え前後の期間をオーバーラップさせる動作を含み、アシスト磁界を発生させた後に書き込み磁界を発生させる場合の動作について説明する。従来の動作だと、時刻 $t1$ でビット線のスイッチ素子を連続的に切り替える際に、図1における電源回路14とビット線とを接続させるスイッチ素子 $\phi BL1 \sim \phi BL3$ の全てがオフ状態になり図1に図示の寄生容量C30に電荷が充電されてしまうため、その電荷に起因して、図11に示したようにアシスト電流の波形にオーバーシュートが発生する。

【0033】そこで、本実施形態においては、図1に示した磁気メモリ装置において、複数のビット線のスイッチ素子を連続的に切り替える時に、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることで、電源回路14とビット線とを接続させるスイッチ素子 $\phi BL1 \sim \phi BL3$ の全てがオフ状態になり寄生容量C30に電荷が充電されることが回避することとしている。その結果、書き込み時に誤動作や書き込み不良等の原因とされたアシスト電流のオーバーシュートが抑圧されることとなる。

【0034】具体的には、スイッチ素子 $\phi BL1$ からスイッチ素子 $\phi BL2$ への切り替え時に、スイッチ素子 $\phi BL1$ をオフにするタイミングを時刻 $t1$ 後にずらし、スイッチ素子 $\phi BL2$ をオンにするタイミングを時刻 $t1$ 前にずらすことにより、スイッチ素子それぞれがオンとなる切り替え前後の期間をオーバーラップさせている。なお、図3は、磁気抵抗素子M11、M22へそれぞれ“High”、“Low”のデータを順次書き込む場合の動作例を示している。

【0035】このように、ビット線のスイッチ素子を連続的に切り替える時に、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることにより、スイッチ素子 $\phi BL1 \sim \phi BL3$ の全てがオフ状態になり寄生容量C30に電荷が充電されることが回避されるため、書き込み時にアシスト電流に発生するオー

バーシュートを図12に示すように抑圧できる。

【0036】なお、図3に示した例では、切り替え前後のスイッチ素子それぞれがオンになる期間を両方ともずらしてオーバーラップ期間を設けているが、どちらか一方のみをずらしてオーバーラップ期間を設けても良い。

【0037】(第3の実施の形態)図4は、本発明の別の実施形態の磁気メモリ装置の構成を示す図である。

【0038】図4に示す磁気メモリ装置は、図1に示した磁気メモリ装置と比較して、第3のスイッチ素子としてスイッチ素子 ϕ WWL0を介して定電流源141に接続される第1のダミー配線としてのダミー配線WWL0と、第4のスイッチ素子としてのスイッチ素子 ϕ BL0を介して定電流源142に接続される第2のダミー配線としてのダミー配線BL0とを設けた点が異なり、それ以外の構成は同様である。なお、ダミー配線WWL0及びダミー配線BL0は、メモリセルが配置された領域以外の領域等の、ダミー配線WWL0及びダミー配線BL0に流れる電流により磁気抵抗素子が影響を受けない領域に配置する。このダミー配線WWL0は、スイッチ素子 ϕ WWL0にHighのパルスを印加するとオンとなり(n型MOSトランジスタ)図示下方向の一方向に電流が流れるようになっている。

【0039】上述した第1及び第2の実施形態では、複数の書き込み線のスイッチ素子を連続的に切り替える時において、電源回路14と書き込み線とを接続させるスイッチ素子の全てがオフ状態になることを回避しているが、実際には、データ書き込み動作が行われていない間は電源回路14と書き込み線とを接続させるスイッチ素子は全てオフ状態になっており、その期間は複数の書き込み線のスイッチ素子を連続的に切り替える時よりもはるかに長い。そのため、さらにオーバーシュートを抑圧するためには、複数の書き込み線のスイッチ素子を連続的に切り替える時に寄生容量に電荷が充電されることを回避するだけでなく、データ書き込み動作が行われていない間にも寄生容量に電荷が充電されないことが望ましい。

【0040】そこで、本実施形態においては、図5のタイムチャートに示すように、書き込み線と電源回路14とを接続させる全てのスイッチ素子(本実施例におけるトランジスタT1、T3)が全てオフになると、ダミー配線WWL0に接続されるスイッチ ϕ WWL0をオンさせて寄生容量C20の電荷を放電させて掃き出すことにより、寄生容量C20に電荷が充電されることを回避することとしている。また、ビット線と電源回路14とを接続させるスイッチ素子 ϕ BL1 \sim ϕ BL3の全てがオフになると、ダミー配線BL0に接続されるスイッチ素子 ϕ BL0をオンさせて寄生容量C30の電荷を放電させて掃き出すことにより、寄生容量C30に電荷が充電されることを回避することとしている。なお、図5は、図2と同様に、データ書き込み動作が、書き込み線のス

イッチ素子の連続的な切り替え動作を含み、書き込み磁界を先に発生させた後にアシスト磁界を発生させる動作を行うものであり、磁気抵抗素子M11、M22へそれぞれ“High”、“Low”のデータを順次書き込む場合の動作例を示している。

【0041】具体的には、寄生容量C20に電荷が充電されることを回避する動作に関し、書き込み線と電源回路14とを接続させる全てのスイッチ素子が全てオフ状態にある時に、ダミー配線WWL0に接続されるスイッチ ϕ WWL0をオンさせている。ただし、このままでは、時刻t0でスイッチ素子 ϕ WWL0をスイッチ素子 ϕ WWL11に連続的に切り替える際、及び、時刻t8でスイッチ素子 ϕ WWL22をスイッチ素子 ϕ WWL0に連続的に切り替える際に、スイッチ素子 ϕ WWL0 \sim ϕ WWL32の全てがオフ状態になる時間が存在する。

【0042】そのため、スイッチ素子 ϕ WWL0からスイッチ素子 ϕ WWL11への連続的な切り替え時に、スイッチ素子 ϕ WWL0をオフにするタイミングを時刻t0後にずらし、スイッチ素子 ϕ WWL11をオンにするタイミングを時刻t1前にずらすことにより、スイッチ素子それぞれがオンとなる切り替え前後の期間をオーバーラップさせている。同様に、スイッチ素子 ϕ WWL22からスイッチ素子 ϕ WWL0への連続的な切り替え時にも、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせている。なお、スイッチ素子 ϕ WWL11 \sim ϕ WWL22の連続的な切り替え時にオーバーラップ期間を設ける動作については図2と同様であるため、説明を省略する。

【0043】これにより、データ書き込みが行われていない期間からデータ書き込みを開始するにあたり、電源回路14と書き込み線とを接続させるスイッチ素子の全てがオフ状態にならないので、寄生容量C20に電荷が充電されることが回避されるため、書き込み時に書き込み電流に発生するオーバーシュートを図12に示すように抑圧できる。

【0044】また、図5の実施形態においてはデータを書き込まない期間において寄生容量C20に電荷が充電されないようスイッチ ϕ WWL0をオンにし、常に電流がグランドに流れる構成であるが、データを書き込む期間の直前まで ϕ WWL0をオフ状態とし、直前にオーバーラップ期間を設けながらオンさせて寄生容量C20に充電された電荷を放電することでもオーバーシュートを抑圧できる。これにより、常にグランドに電流を流し続けるときに比べて、低消費電力を実現できる。

【0045】一方、寄生容量C30に電荷が充電されることを回避する動作に関し、ビット線と電源回路14とを接続させるスイッチ素子が全てオフ状態にある時に、ダミー配線BL0に接続されるスイッチ ϕ BL0をオンさせている。ただし、このままでは、時刻t2でスイッチ素子 ϕ BL0をスイッチ素子 ϕ BL1に連続的に切り替

える際、時刻 t_3 でスイッチ素子 $\phi B L 1$ をスイッチ素子 $\phi B L 0$ に連続的に切り替える際、時刻 t_5 でスイッチ素子 $\phi B L 0$ をスイッチ素子 $\phi B L 2$ に連続的に切り替える際、及び時刻 t_6 でスイッチ素子 $\phi B L 2$ をスイッチ素子 $\phi B L 0$ に連続的に切り替える際に、スイッチ素子 $\phi B L 0 \sim \phi B L 3$ の全てがオフ状態になる時間が存在する。

【0046】そのため、スイッチ素子 $\phi B L 0$ からスイッチ素子 $\phi B L 1$ への連続的な切り替え時に、スイッチ素子 $\phi B L 0$ をオフにするタイミングを時刻 t_2 後にずらし、スイッチ素子 $\phi B L 1$ をオンにするタイミングを時刻 t_2 前にずらすことにより、スイッチ素子それぞれがオンとなる切り替え前後の期間をオーバーラップさせている。同様に、スイッチ素子 $\phi B L 1$ からスイッチ素子 $\phi B L 0$ への連続的な切り替え時、スイッチ素子 $\phi B L 0$ からスイッチ素子 $\phi B L 2$ への連続的な切り替え時、スイッチ素子 $\phi B L 2$ からスイッチ素子 $\phi B L 0$ への連続的な切り替え時にも、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせている。

【0047】これにより、スイッチ素子 $\phi B L 0 \sim \phi B L 3$ のいずれかが常にオン状態になり、寄生容量 $C 30$ に電荷が充電されることが回避されるため、書き込み時にアシスト電流に発生するオーバーシュートを図 12 に示すように抑圧できる。

【0048】なお、図 5 に示す例では、切り替え前後のスイッチ素子それぞれがオンになる期間を両方ともずらしてオーバーラップ期間を設けているが、どちらか一方のみをずらしてオーバーラップ期間を設けても良い。

【0049】また、書き込み線及びビット線の両方の寄生容量に電荷が充電されることが回避しているが、書き込み線またはビット線のいずれか一方の寄生容量に電荷が充電されることが回避する構成としても良い。

【0050】さらに、図 6 に示す実施形態について説明する。図 6 がその他の実施形態と異なる点は、同一書き込み線において電流を双方向に切り替えて流す時、例えば時刻 t_1 において、第 1 のダミー配線のスイッチ素子 $\phi W W L 0$ を時刻 t_1 の前後においてオーバーラップ期間を設けてオンさせている点である。さらに、時刻 t_7 においても同様である。

【0051】これにより、同一書き込み線に双方向の電流を流すうえで、電流を切り替える瞬間に存在した電源回路 14 と書き込み線とを接続させるスイッチ素子が全てオフ状態になることが回避されるため、書き込み時に書き込み電流に発生するオーバーシュートを図 12 に示すように抑圧できる。また、図示されていないが電流の切り替え時においてスイッチ素子 $\phi W W L 11$ 及び $\phi W W L 12$ にオーバーラップ期間を設けた場合においては、トランジスタ $T 1$ 、 $T 3$ は共にオン状態となり同電位になるため書き込み線に電流が流れずに寄生容量 $C 2$

0 に電荷が充電されることが考えられるが、その場合においても図 6 の実施形態のように切り替え前後において第一のダミー配線のスイッチ素子 $\phi W W L 0$ をオン状態にすることで、電流の流れる先を供給することで寄生容量 $C 20$ に電荷が充電されることを回避できる。

【0052】上記の動作は、図 4 のように一方向にのみ電流が流れるダミー配線 $W W L 0$ の代わりに、双方向に切り替えして電流を流すことができるダミー配線 $W W L 0$ を設けた図 7 に示す磁気メモリ装置でも行うことができる。図 7 のダミー配線 $W W L 0$ は他の書き込み線と同様の書き込み回路 13 を介して電源回路 14 に接続され、スイッチ素子 $\phi W W L 01$ に $H i g h$ のパルス、スイッチ素子 $\phi W W L 02$ に $L o w$ のパルスを印加させると、トランジスタ $T 1$ 、 $T 4$ がオンになり、スイッチ素子 $\phi W W L 01$ に $L o w$ のパルス、スイッチ素子 $\phi W W L 02$ に $H i g h$ のパルスを印加させることで、トランジスタ $T 2$ 、 $T 3$ がオンになり寄生容量 $C 20$ に充電された電荷を放電できる。

【0053】図 7 に示した磁気メモリ装置において上記の動作を行う場合は、電源回路 14 と書き込み線とを接続させるスイッチ素子が全てオフ状態にある時に、スイッチ素子 $\phi W W L 01$ 、 $\phi W W L 02$ のいずれかに $H i g h$ のパルスを印加してオンにさせ、スイッチ素子それぞれがオンとなる切り替え前後の期間をオーバーラップさせれば良く、その他は上記の動作と同様である。

【0054】また、図 7 に示した磁気メモリ装置において、図 3 に示したように、ビット線のスイッチ素子の連続的な切り替え動作を含む動作を行う場合にも基本的な動作は上記と同様である。すなわち、電源回路 14 と書き込み線とを接続させるスイッチ素子が全てオフ状態にある時に、ダミー配線 $W W L 0$ に接続されるスイッチ素子 $\phi W W L 0$ に $H i g h$ のパルスを印加してオンさせ、電源回路 14 とビット線とを接続させるスイッチ素子が全てオフ状態にある時には、ダミー配線 $B L 0$ に接続されるスイッチ素子 $\phi B L 0$ に $H i g h$ のパルスを印加してオンさせ、スイッチ素子それぞれがオンとなる切り替え前後の期間をオーバーラップさせれば良く、スイッチ素子 $\phi B L 1 \sim \phi B L 3$ の連続的な切り替え時にオーバーラップ期間を設ける動作については図 3 と同様である。

【0055】以上説明してきた構成は、書き込み線が 1 つの定電流源に各スイッチ素子を介して接続され、各スイッチにより書き込み線に双方向に電流を流す構成であったが、図 8 に示すように複数の定電流源により各書き込み線に双方向に電流を流す構成としても良い。図 8 は、4 つの定電流源 151～154 により各書き込み線 $W W L 1 \sim W W L 3$ に双方向に電流を流す構成を示しており、各書き込み線 $W W L 1 \sim W W L 3$ に図示反時計回りに電流を流す場合は、定電流源 151、154 により電流を流し、各書き込み線 $W W L 1 \sim W W L 3$ に図示時

計回りに電流を流す場合は、定電流源 152、153により電流を流す。なお、定電流源 151、152と定電流源 153、154とを、同じ電源回路内に設けていても良く、また、電源回路を2つ以上設け、互いに異なる電源回路内にそれぞれ設けても良い。

【0056】また、以上説明してきた構成は、各書き込み線に双方向に折り返し電流を流す構成であったが、各書き込み線を一方方向にのみ電流を流す構成とした場合にも本発明は適用可能である。

【0057】

【発明の効果】以上説明したように本発明は、磁気抵抗素子へのデータ書き込み時に、複数の書き込み線に接続されたスイッチ素子を連続的に切り替える場合や、複数のビット線に接続されたスイッチ素子を連続的に切り替える場合に、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることにより、複数の書き込み線及び／又は複数のビット線のスイッチ素子を連続的に切り替える時に電源回路と書き込み線及び／又は電源回路とビット線とを接続させるスイッチ素子の全てがオフ状態になり寄生容量に電荷が充電されることが回避されるため、書き込み線、ビット線にオーバーシュートが抑圧された電流を流すことができるという効果がある。

【0058】また、複数の書き込み線と電源回路とを接続させるスイッチ素子または第1のダミー配線と電源回路とを接続させるスイッチ素子のいずれかのスイッチ素子が常にオンされ、及び／または、複数のビット線と電源回路とを接続させるスイッチ素子または第2のダミー配線と電源回路とを接続させるスイッチ素子のいずれかのスイッチ素子が常にオンされていることとし、スイッチ素子の切り替え前後において、スイッチ素子それぞれがオンになる切り替え前後の期間をオーバーラップさせることにより、スイッチ素子の連続的な切り替え時以外の期間にも、電源回路と書き込み線及び／又は電源回路とビット線とを接続させるスイッチ素子の全てがオフ状態になり寄生容量に電荷が充電されることが回避されるため、書き込み線、ビット線にオーバーシュートが抑圧された電流を流すことができるという効果がある。

【0059】また、同一の書き込み線において電流を双方向に切り替えして流す構成においても、本発明のオーバーラップ期間を設けて第1のダミー配線のスイッチ素子をオンさせることにより、電流の流れる先を供給することで寄生容量に電荷が充電されることが回避されるた

め、書き込み線にオーバーシュートが抑圧された電流を流すことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態の磁気メモリ装置の構成を示す図である。

【図2】図1に示した磁気メモリ装置における書き込み時の一動作例を説明するためのタイムチャートである。

【図3】図1に示した磁気メモリ装置における書き込み時の別の動作例を説明するためのタイムチャートである。

【図4】本発明の別の実施形態の磁気メモリ装置の構成を示す図である。

【図5】図4に示した磁気メモリ装置における書き込み時の一動作例を説明するためのタイムチャートである。

【図6】図4に示した磁気メモリ装置における書き込み時の別の動作例を説明するためのタイムチャートである。

【図7】本発明のさらに別の実施形態の磁気メモリ装置の構成を示す図である。

【図8】本発明のさらに別の実施形態の磁気メモリ装置の構成を示す図である。

【図9】MRAMのメモリセルアレイの構成の一例を示す回路図である。

【図10】メモリセルの構成の一例を示す断面図である。

【図11】従来の磁気メモリ装置における書き込み時のパルス電流波形の一例を示す図である。

【図12】本発明の磁気メモリ装置における書き込み時のパルス電流波形の一例を示す図である。

【符号の説明】

M11～M33 磁気抵抗素子

141、142、151～154 定電流源

WWL1～WWL3 書き込み線

BL1～BL3 ビット線

φWWL11～φWWL32 スイッチ素子

φBL1～φBL3 スイッチ素子

T1～T4 トランジスタ

C20、C30 寄生容量

WWL0 ダミー配線

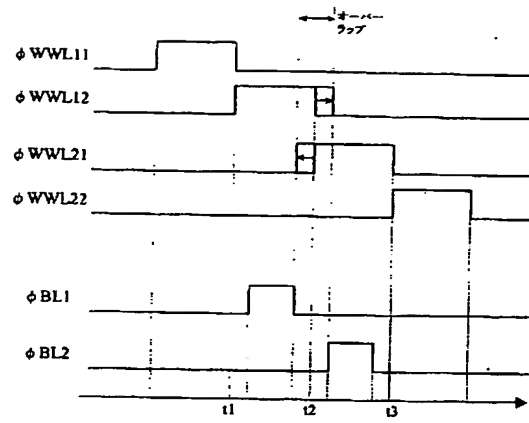
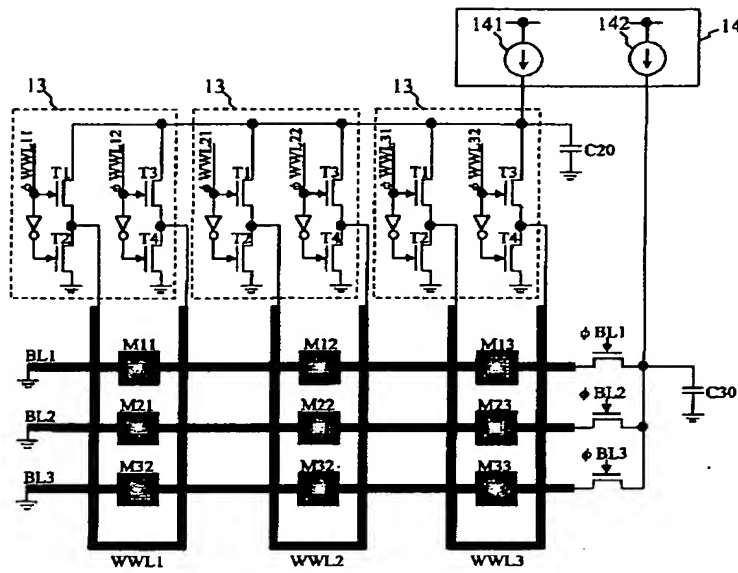
φWWL0、φWWL01、φWWL02 スイッチ素子

BL0 ダミー配線

φBL0 スイッチ素子

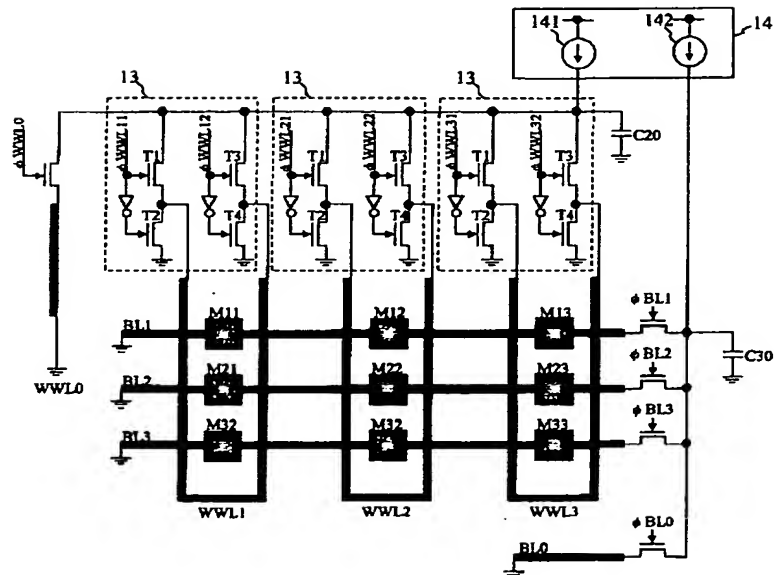
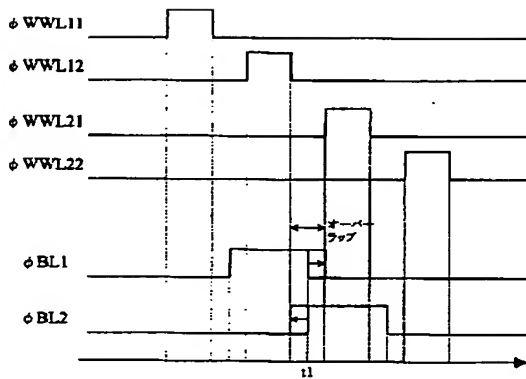
【図1】

【図2】

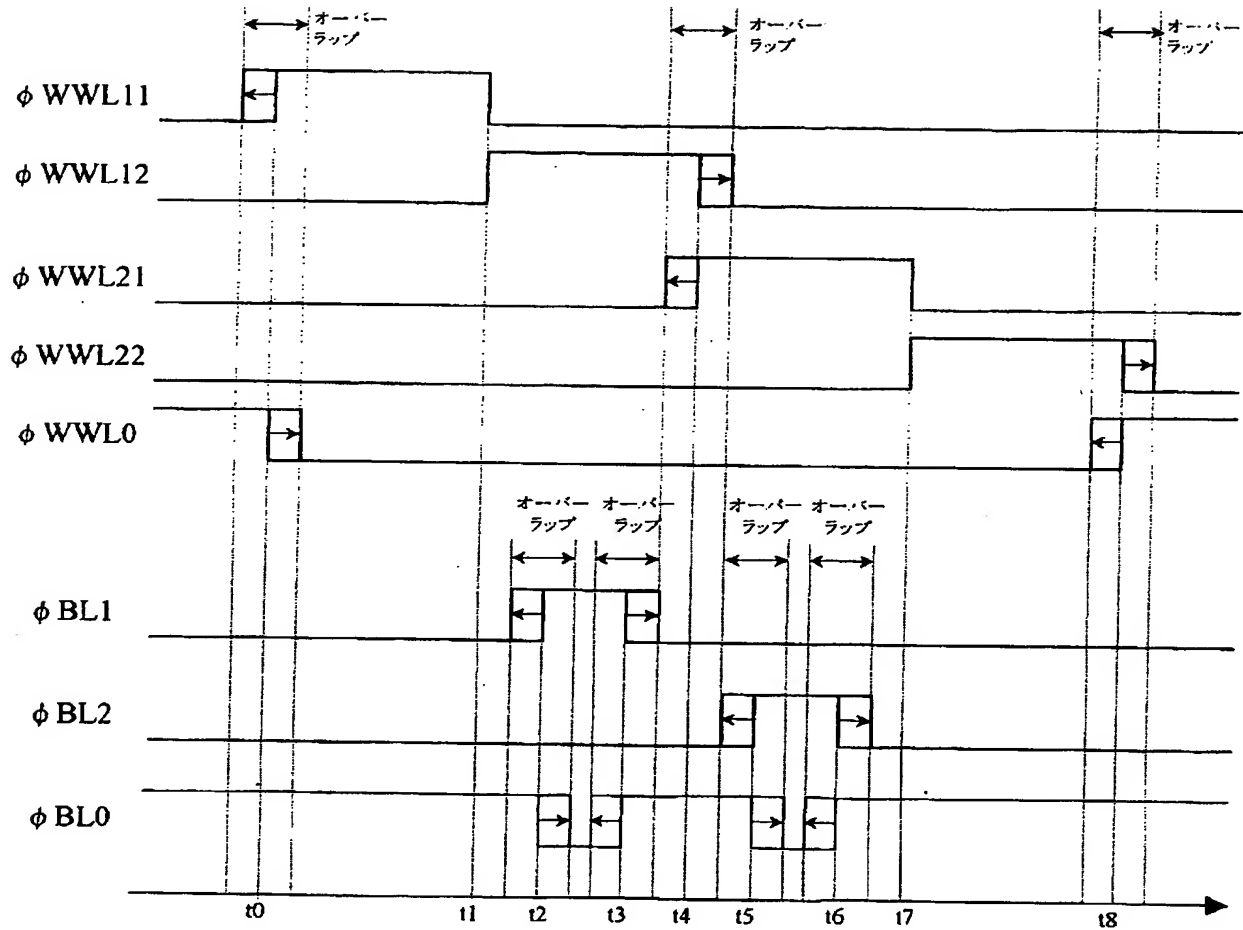


【図3】

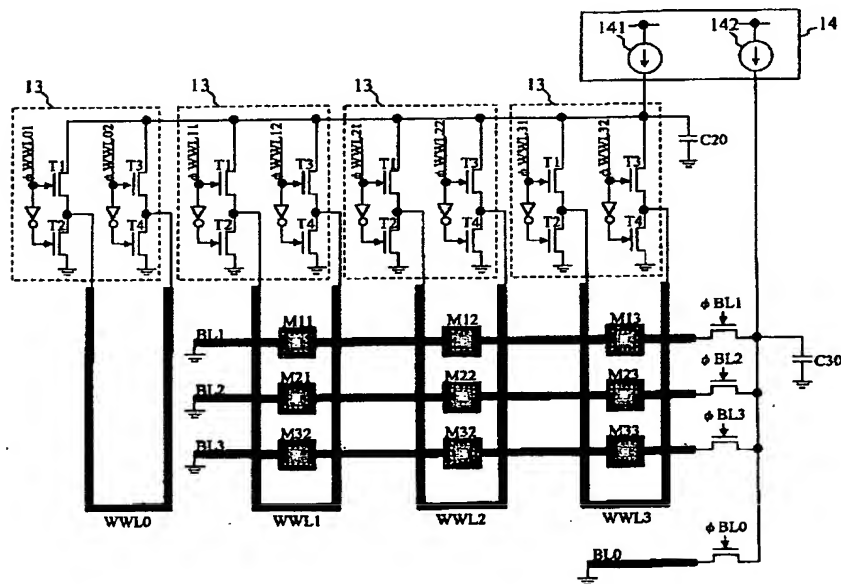
【図4】



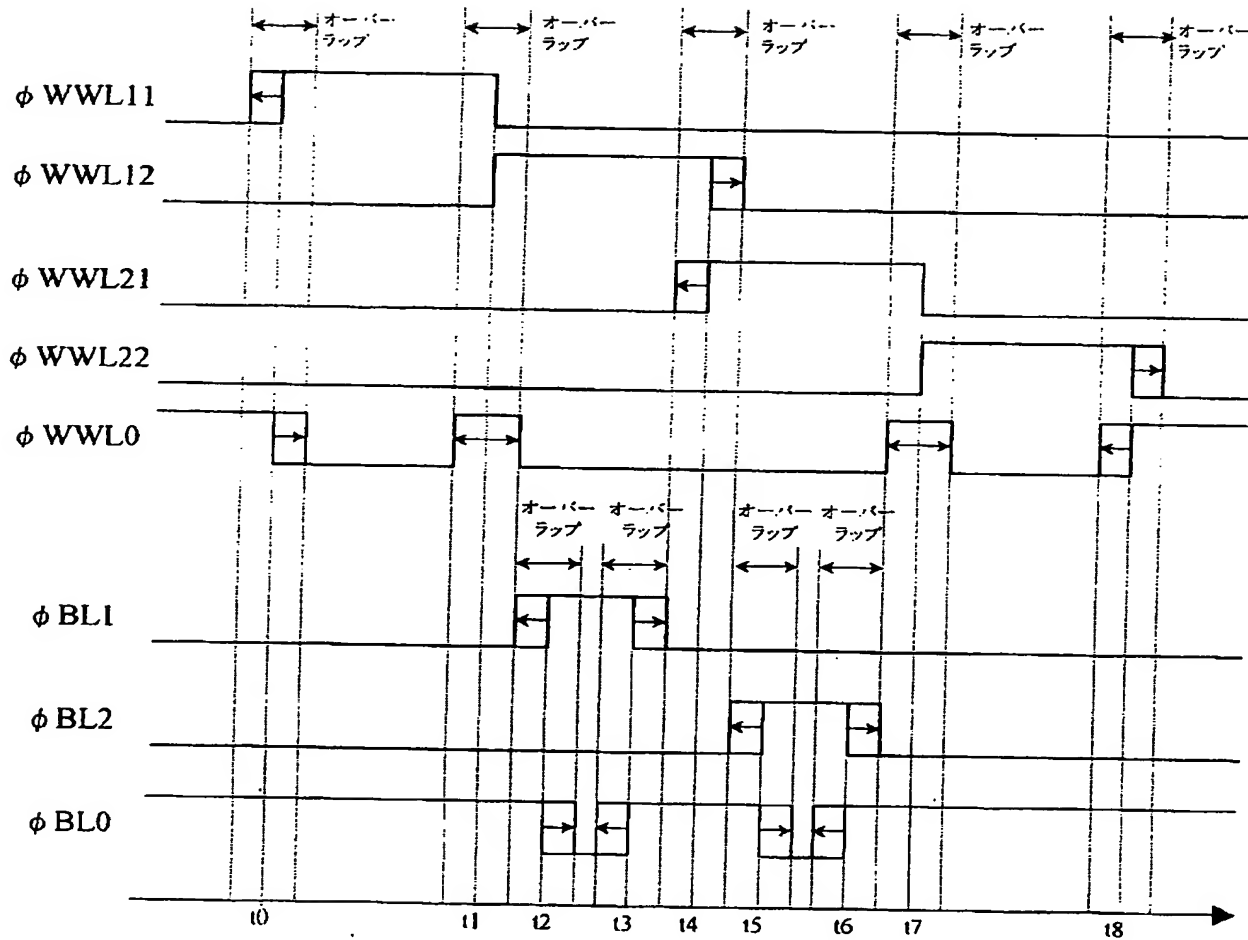
【図5】



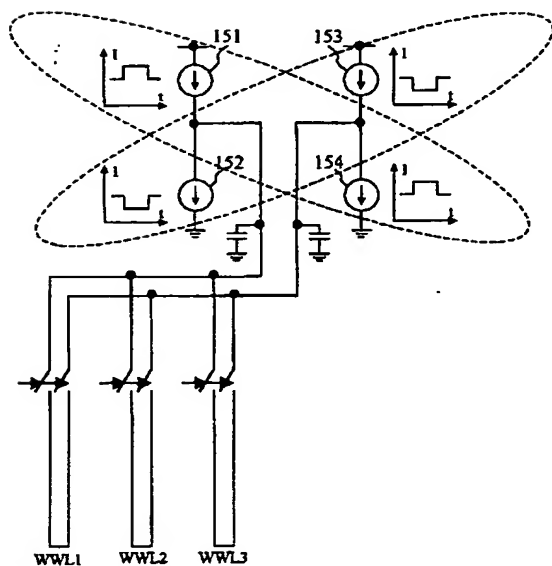
【図7】



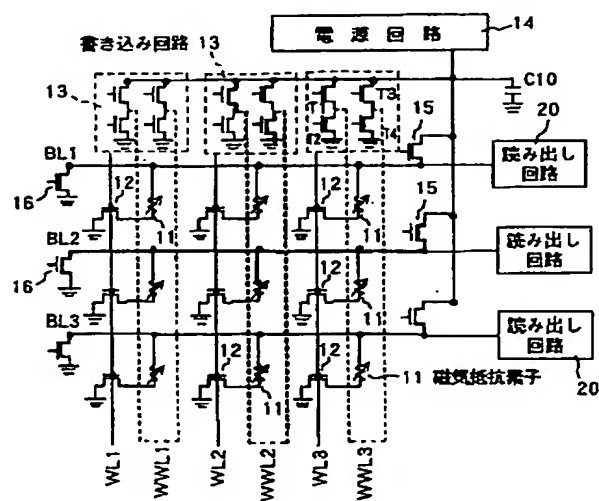
【図6】



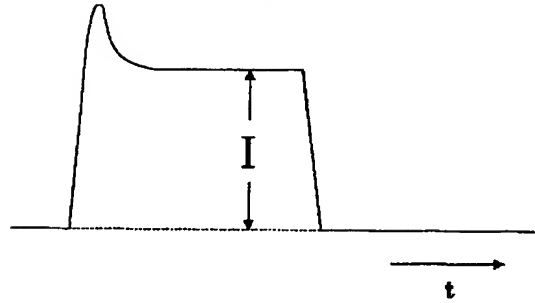
【図8】



【図9】



【图 1-1】



This Page Blank (uspto,